

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 2 月 2 4 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 3 6 7 1 6 8 号

出 願 人

Applicant (s):

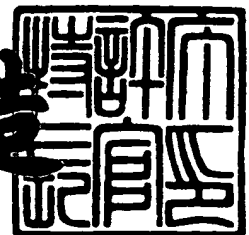
松下電器産業株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 0 年 1 1 月 1 7 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造





【書類名】	特許願
【整理番号】	2022510558
【提出日】	平成11年12月24日
【あて先】	特許庁長官殿
【国際特許分類】	G10L 9/18
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】	宮阪 修二
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】	則松 武志
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】	津島 峰生
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】	石川 智一
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】	澤田 慶昭
【特許出願人】	
【識別番号】	000005821
【氏名又は名称】	松下電器産業株式会社



【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【プルーフの要否】 不要



【書類名】 明細書

【発明の名称】 信号処理装置

【特許請求の範囲】

【請求項 1】 所定の時間間隔  $T$  ( $T$  は実数) ごとにフレーム化された第 1 のデジタル信号のそれぞれのフレーム信号に対し、処理 A を施した後に処理 B を施すことによって、上記第 1 のデジタル信号を第 2 のデジタル信号に変換する信号処理装置であって、 $(N \times T)$  時間 ( $N$  は自然数) 以内に上記処理 A を完了する第 1 ～第  $N$  のサブ信号処理装置と、 $T$  時間以内に上記処理 B を完了するメイン信号処理装置とを有し、上記第 1 のデジタル信号の第  $(N \times t + i)$  番目のフレーム信号 ( $i, t$  は整数、 $0 \leq t, 0 \leq i < N$ ) は、上記第  $(i + 1)$  のサブ信号処理装置で処理された後、上記メイン信号処理装置で処理されることを特徴とする信号処理装置。

【請求項 2】 所定の時間間隔  $T$  ( $T$  は実数) ごとにフレーム化された第 1 のデジタル信号のそれぞれのフレーム信号に対し、処理 A を施した後に処理 B を施すことによって、上記第 1 のデジタル信号を第 2 のデジタル信号に変換する信号処理装置であって、上記第 1 のデジタル信号のフレーム信号を逐次蓄積する第 1 のメモリと、上記第 2 のデジタル信号のフレーム信号を逐次蓄積する第 2 のメモリと、該第 1、第 2 のメモリが接続されているメイン信号処理装置と、該メイン信号処理装置に接続されている第 1 から第  $N$  のサブ信号処理装置とを有し、上記メイン信号処理装置は、 $T$  時間以内に上記処理 B を完了し、上記第 1 から第  $N$  のサブ信号処理装置は、それぞれ  $(N \times T)$  時間 ( $N$  は自然数) 以内に上記処理 A を完了し、上記メイン信号処理装置は、上記第 1 のメモリから  $T$  時間間隔ごとに逐次上記フレーム信号を取り出し、該取り出した第  $(N \times t + i)$  番目のフレーム信号 ( $i, t$  は整数、 $0 \leq t, 0 \leq i < N$ ) を、上記第  $(i + 1)$  のサブ信号処理装置に送出し、且つ、該第  $(i + 1)$  のサブ信号処理装置から、第  $(N \times (t - 1) + i)$  番目のフレーム信号に対する処理 A 済みの信号を受け取り、該受け取った信号に対し上記処理 B を施した後、該処理後の信号を上記第 2 のメモリに蓄積し、上記第 1 から第  $N$  のサブ信号処理装置は、上記メイン信号処理装置から受け取ったフレーム信号に対し、上記処理 A を施し、該処理後の信号を上記メイン



ン信号処理装置に送出することを特徴とする信号処理装置。

【請求項 3】上記処理 B には過去のフレーム時刻に生成された情報を用いる処理が含まれており、上記処理 A には過去のフレーム時刻に生成された情報を用いる処理が含まれていないことを特徴とする、請求項 2 記載の信号処理装置。

【請求項 4】上記第 1 のデジタル信号は、オーディオ信号の圧縮符号化信号であり、上記第 2 のデジタル信号は、オーディオ信号の PCM 信号であり、上記処理 A には、上記の圧縮符号化信号から情報を取り出して、該情報を周波数スペクトルの情報に変換する処理が含まれており、上記処理 B には、当該周波数スペクトルの情報を時間軸 PCM 信号に変換する処理が含まれていることを特徴とする請求項 3 記載の信号処理装置。

【請求項 5】上記処理 A には、可変長符号の復号化処理が含まれており、上記処理 B には、逆 MDCT 処理が含まれていることを特徴とする請求項 4 記載の信号処理装置。

【請求項 6】所定の時間間隔  $T$  ( $T$  は実数) ごとにフレーム化された第 1 のデジタル信号のそれぞれのフレーム信号に対し、処理 A を施した後に処理 B を施すことによって、上記第 1 のデジタル信号を第 2 のデジタル信号に変換する信号処理装置であって、 $T$  時間以内に上記処理 A を完了するメイン信号処理装置と、( $N \times T$ ) 時間 ( $N$  は自然数) 以内に上記処理 B を完了する第 1 ～第  $N$  のサブ信号処理装置とを有し、上記第 1 のデジタル信号の第  $(N \times t + i)$  番目 ( $i, t$  は整数、 $0 \leq t, 0 \leq i < N$ ) のフレーム信号は、上記メイン信号処理装置で処理された後、上記第  $(i + 1)$  のサブ信号処理装置で処理されることを特徴とする信号処理装置。

【請求項 7】所定の時間間隔  $T$  ( $T$  は実数) ごとにフレーム化された第 1 のデジタル信号のそれぞれのフレーム信号に対し、処理 A を施した後に処理 B を施すことによって、上記第 1 のデジタル信号を第 2 のデジタル信号に変換する信号処理装置であって、上記第 1 のデジタル信号のフレーム信号を逐次蓄積する第 1 のメモリと、上記第 2 のデジタル信号のフレーム信号を逐次蓄積する第 2 のメモリと、該第 1、第 2 のメモリが接続されているメイン信号処理装置と、該メイン信号処理装置に接続されている第 1 から第  $N$  のサブ信号処理装置とを有し、上記メ



イン信号処理装置は、 $T$ 時間以内に上記処理Aを完了する能力を有しており、上記第1から第 $N$ のサブ信号処理装置は、それぞれ $(N \times T)$ 時間( $N$ は自然数)以内に上記処理Bを完了する能力を有しており、上記メイン信号処理装置は、上記第1のメモリから $T$ 時間間隔ごとに逐次上記フレーム信号を取り出し、該取り出した第 $(N \times t + i)$ 番目( $i, t$ は整数、 $0 \leq t, 0 \leq i < N$ )のフレーム信号に対し処理Aを施した後、当該処理後の信号を上記第 $(i + 1)$ のサブ信号処理装置に送出し、且つ、該第 $(i + 1)$ のサブ信号処理装置から、第 $(N \times (t - 1) + i)$ 番目の処理A済み信号に対する処理B済みの信号を受け取り、該受け取った信号を上記第2のメモリに蓄積し、上記第1から第 $N$ のサブ信号処理装置は、上記メイン信号処理装置から受け取った信号に対し、上記処理Bを施し、該処理後の信号を上記メイン信号処理装置に送出することを特徴とする信号処理装置。

【請求項8】上記処理Aには過去のフレーム時刻に生成された情報を用いる処理が含まれており、上記処理Bには過去のフレーム時刻に生成された情報を用いる処理が含まれていないことを特徴とする、請求項7記載の信号処理装置。

【請求項9】上記第1のデジタル信号は、オーディオ信号のPCM信号であり、上記第2のデジタル信号は、オーディオ信号の圧縮符号化信号であり、上記処理Aには、上記PCM信号を周波数スペクトルの情報に変換する処理が含まれており、上記処理Bには、当該周波数スペクトルの情報を圧縮符号化する処理が含まれていることを特徴とする請求項8記載の信号処理装置。

【請求項10】上記処理Aには、MDCT処理が含まれており、上記処理Bには、可変長符号化処理が含まれていることを特徴とする請求項9記載の信号処理装置。

【請求項11】上記メイン信号処理装置が行う処理に必要な演算数を $CM$ 、上記サブ信号処理装置が行う処理に必要な演算数を $CS$ とした時、 $CA \doteq 2 \times CB$ となるように、全体の処理が予め処理Aと処理Bとに分割されており、上記 $N$ は2であることを特徴とする請求項1から請求項10いずれか1項に記載の信号処理装置。

【請求項12】上記メイン信号処理装置が行う処理に必要な演算数を $CM$ 、上



記サブ信号処理装置が行う処理に必要な演算数をCSとした時、上記Nは、 $CM \equiv N \times CS$ となるような値であることを特徴とする請求項1から請求項10いずれか1項に記載の信号処理装置。

【請求項13】 上記第1から第Nのサブ信号処理装置を駆動するプログラムが格納された第1から第Nの命令メモリを有し、該第1から第Nの命令メモリには、同一のプログラムが格納されていることを特徴とする請求項1から請求項12いずれか1項に記載の信号処理装置。

【請求項14】 上記メイン信号処理装置が行う処理に要するRAMの大きさは、上記サブ信号処理装置が行う処理に要するRAMの大きさより大きいことを特徴とする請求項1から請求項13いずれか1項に記載の信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、オーディオ信号の圧縮／復号処理を行う信号処理装置に関し、特に、処理を並列化することによって、低消費電力化を図るような信号処理装置に関するものである。

【0002】

【従来の技術】

近年、オーディオ信号の圧縮／復号処理を並列処理化することによって、低消費電力化を図るような信号処理装置が考案されている。

【0003】

図9は、処理A、処理Bからなる信号処理を並列化しないで行う時の処理の流れを示している。一方図10は、図9に示す処理を並列化した場合の処理A、処理Bの流れを示している。この例では、1フレーム時間をTとしている。

【0004】

以下、従来の技術について説明する。処理を並列化しない場合は、まず、図9に示すように入力のフレーム信号[1]に対し、処理A[1]が施された後、処理B[1]が施され、出力のフレーム信号[1]が生成される。次のフレーム時刻では、入力のフレーム信号[2]に対し、処理A[2]が施された後、処理B



〔2〕が施され、出力のフレーム信号〔2〕が生成される。この様に、処理A、処理BがトータルT時間内で完了するように処理が進められる。

【0005】

それに対し、処理の並列化を行った場合、図10に示すように、まず入力フレーム信号〔1〕に対し、処理装置Aにて、処理A〔1〕が施されるが、この処理A〔1〕は、T時間かけて行われる。次のフレーム時刻では、入力フレーム信号〔2〕に対し、処理装置Aでは、処理A〔2〕が施されるが、この処理A〔2〕もまた、T時間かけて行われる。一方、このフレーム時刻では、処理装置Bにて、上記処理A〔1〕終了後の信号に対し、処理B〔1〕が行われる。ここでも、当該処理B〔1〕は、T時間かけて行われる。このような処理を各フレーム時刻ごとに繰り返すことによって、処理A、処理Bが並列に行われる。

【0006】

この様に処理を並列化することによって、元々は、図9に示すように、処理A、処理Bとも $T/2$ 時間以内に完了しなければならなかったものが、処理A、処理BともT時間以内に完了すればよくなったので、演算能力が $1/2$ で済むことになる。すなわち、処理の動作周波数を $1/2$ にすることができ、ひいては、消費電力が削減されることになる。

【0007】

【発明が解決しようとする課題】

上述したような従来の技術によれば、例えば、図11（a）に示すように、処理A、処理Bの処理量に偏りがある場合、効率的に消費電力の削減が行えない、という問題点があった。

【0008】

図11（b）では、処理Aの処理量は、処理Bの処理量の2倍である、という場合に上記従来の技術を用いた場合の処理の流れを示している。この場合、図11（b）に示すように、まず入力フレーム信号〔1〕に対し、処理装置Aにて、処理A〔1〕が施されるが、この処理A〔1〕は、T時間かけて行われる。次のフレーム時刻では、入力フレーム信号〔2〕に対し、処理装置Aでは、処理A〔2〕が施されるが、この処理A〔2〕もまた、T時間かけて行われる。一方



、このフレーム時刻では、処理装置 B にて、上記処理 A [1] 終了後の信号に対し、処理 B [1] が行われる。

【0009】

このようにして、処理 A、処理 B が並列に行われるが、この様な並列化では、元々は、処理 A は、 $2 \times T / 3$  時間以内に完了してものを、高々 T 時間以内に完了すればよくなったというに過ぎない。一方で、処理 B に関しては、与えられた時間 T よりも十分短い時間で処理が完了してしまうので、処理装置 B では、何も処理していない無駄時間が発生してしまう。

【0010】

本発明は、このような従来の問題点に鑑みてなされたものであり、処理 A、処理 B からなる処理を並列化することによって、低消費電力化を図る場合に、処理 A、処理 B の処理量に偏りがある場合でも、効率的に消費電力の削減が行える様な信号処理装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明の請求項 1 記載の信号処理装置は、 $(N \times T)$  時間以内に上記処理 A を完了する能力を有する第 1 ～第 N のサブ信号処理装置と、T 時間以内に上記処理 B を完了する能力を有するメイン信号処理装置とを有し、上記第 1 のデジタル信号の第  $(N \times t + i)$  番目のフレーム信号 ( $i$ ,  $t$  は整数、 $0 \leq t$ 、 $0 \leq i < N$ ) は、上記第  $(i + 1)$  のサブ信号処理装置で処理された後、上記メイン信号処理装置で処理されることにより上記目的が達成される。

【0012】

本発明の請求項 2 記載の信号処理装置は、第 1 のデジタル信号のフレーム信号を逐次蓄積する第 1 のメモリと、第 2 のデジタル信号のフレーム信号を逐次蓄積する第 2 のメモリと、該第 1、第 2 のメモリが接続されているメイン信号処理装置と、該メイン信号処理装置に接続されている第 1 から第 N のサブ信号処理装置とを有し、上記メイン信号処理装置は、T 時間以内に上記処理 B を完了する能力を有しており、上記第 1 から第 N のサブ信号処理装置は、それぞれ  $(N \times T)$  時間以内に上記処理 A を完了する能力を有しており、上記メイン信号処理装置は、



上記第 1 のメモリから T 時間間隔ごとに逐次上記フレーム信号を取り出し、該取り出した第  $(N \times t + i)$  番目のフレーム信号 ( $i$ ,  $t$  は整数、 $0 \leq t$ 、 $0 \leq i < N$ ) を、上記第  $(i + 1)$  のサブ信号処理装置に送出し、且つ、該第  $(i + 1)$  のサブ信号処理装置から、第  $(N \times (t - 1) + i)$  番目のフレーム信号に対する処理 A 済みの信号を受け取り、該受け取った信号に対し上記処理 B を施した後、該処理後の信号を上記第 2 のメモリに蓄積し、上記第 1 から第 N のサブ信号処理装置は、上記メイン信号処理装置から受け取ったフレーム信号に対し、上記処理 A を施し、該処理後の信号を上記メイン信号処理装置に送出することにより上記目的が達成される。

## 【 0 0 1 3 】

また、上記処理 B には過去のフレーム時刻に生成された情報を用いる処理が含まれており、上記処理 A には過去のフレーム時刻に生成された情報を用いる処理が含まれていない様にしてもよい。

## 【 0 0 1 4 】

また、上記第 1 のデジタル信号は、オーディオ信号の圧縮符号化信号であり、上記第 2 のデジタル信号は、オーディオ信号の PCM 信号であり、上記処理 A には、上記の圧縮符号化信号から情報を取り出して、該情報を周波数スペクトルの情報に変換する処理が含まれており、上記処理 B には、当該周波数スペクトルの情報を時間軸 PCM 信号に変換する処理が含まれていてもよい。

## 【 0 0 1 5 】

また、上記処理 A には、可変長符号の復号化処理（例えばハフマンデコード）が含まれており、上記処理 B には、逆 MDCT 処理が含まれていてもよい。

## 【 0 0 1 6 】

本発明の請求項 6 記載の信号処理装置は、T 時間以内に上記処理 A を完了する能力を有するメイン信号処理装置と、 $(N \times T)$  時間以内に上記処理 B を完了する能力を有する第 1 ～第 N のサブ信号処理装置とを有し、上記第 1 のデジタル信号の第  $(N \times t + i)$  番目 ( $i$ ,  $t$  は整数、 $0 \leq t$ 、 $0 \leq i < N$ ) のフレーム信号は、上記メイン信号処理装置で処理された後、上記第  $(i + 1)$  のサブ信号処理装置で処理されることにより上記目的が達成される。



## 【0017】

本発明の請求項7記載の信号処理装置は、第1のデジタル信号のフレーム信号を逐次蓄積する第1のメモリと、第2のデジタル信号のフレーム信号を逐次蓄積する第2のメモリと、該第1、第2のメモリが接続されているメイン信号処理装置と、該メイン信号処理装置に接続されている第1から第Nのサブ信号処理装置とを有し、上記メイン信号処理装置は、T時間以内に上記処理Aを完了する能力を有しており、上記第1から第Nのサブ信号処理装置は、それぞれ $(N \times T)$ 時間以内に上記処理Bを完了する能力を有しており、上記メイン信号処理装置は、上記第1のメモリからT時間間隔ごとに逐次上記フレーム信号を取り出し、該取り出した第 $(N \times t + i)$ 番目のフレーム信号 $(0 \leq t, 0 \leq i < N)$ に対し処理Aを施した後、当該処理後の信号を上記第 $(i + 1)$ のサブ信号処理装置に送出し、且つ、該第 $(i + 1)$ のサブ信号処理装置から、第 $(N \times (t - 1) + i)$ 番目の処理A済み信号に対する処理B済みの信号を受け取り、該受け取った信号を上記第2のメモリに蓄積し、上記第1から第Nのサブ信号処理装置は、上記メイン信号処理装置から受け取った信号に対し、上記処理Bを施し、該処理後の信号を上記メイン信号処理装置に送出することにより上記目的が達成される。

## 【0018】

また、上記処理Aには過去のフレーム時刻に生成された情報を用いる処理が含まれており、上記処理Bには過去のフレーム時刻に生成された情報を用いる処理が含まれていないようにしてもよい。

## 【0019】

また、上記第1のデジタル信号は、オーディオ信号のPCM信号であり、上記第2のデジタル信号は、オーディオ信号の圧縮符号化信号であり、上記処理Aには、上記PCM信号を周波数スペクトルの情報に変換する処理が含まれており、上記処理Bには、当該周波数スペクトルの情報を圧縮符号化する処理が含まれていてもよい。

## 【0020】

また、上記処理Aには、MDCT処理が含まれており、上記処理Bには、可変長符号化処理（例えばハフマンエンコード）が含まれていてもよい。



## 【0021】

また、上記メイン信号処理装置が行う処理に必要な演算数をCM、上記サブ信号処理装置が行う処理に必要な演算数をCSとした時、 $CA \doteq 2 \times CB$ となるように、全体の処理が予め処理Aと処理Bとに分割されており、上記Nは2であってもよい。

## 【0022】

また、上記メイン信号処理装置が行う処理に必要な演算数をCM、上記サブ信号処理装置が行う処理に必要な演算数をCSとした時、上記Nは、 $CM \doteq N \times CS$ となるような値であってもよい。

## 【0023】

また、上記第1から第Nのサブ信号処理装置を駆動するプログラムが格納された第1から第Nの命令メモリを有し、該第1から第Nの命令メモリには、同一のプログラムが格納されていてもよい。

## 【0024】

また、上記メイン信号処理装置が行う処理に必要なRAMの大きさは、上記サブ信号処理装置が行う処理に必要なRAMの大きさより大きくてもよい。

## 【0025】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

## 【0026】

## (実施の形態1)

本実施の形態では、T（Tは実数）時間間隔ごとにフレーム化された入力フレーム信号に対して、処理Aを施した後に処理Bを施すことによって、出力のフレーム信号を生成するような信号処理装置について説明する。ここで、処理Aの処理量は処理Bの処理量の3倍であるという設定で説明する。

## 【0027】

図1は、本発明の信号処理装置の構成を示す。信号処理装置は、第1から第3の3個のサブ信号処理装置101～103と、1個のメイン信号処理装置100と、入力のフレーム信号をそのフレーム番号に応じて、上記サブ信号処理装置1



0 1 ~ 1 0 3 のいずれかに分配する分配装置 1 0 4 と、上記サブ信号処理装置 1 0 1 ~ 1 0 3 のいずれかの出力信号を上記フレーム番号に応じて選択し上記メイン信号処理装置 1 0 0 に送出する選択装置 1 0 5 と、1 フレーム時刻  $T$  経過する毎に上記フレーム番号を更新するフレーム番号管理装置 1 0 6 とを備えている。ここで、上記サブ信号処理装置 1 0 1 ~ 1 0 3 はそれぞれ、上記処理 A を  $(3 \times T)$  時間以内に処理する能力を有しており、上記メイン信号処理装置 1 0 0 は、上記処理 B を  $T$  時間以内に処理する能力を有しているものとする。

## 【0 0 2 8】

図 2 は、信号処理装置の処理の流れを時間を追って示した図である。以下、図 1、図 2 を用いて信号処理装置の動作を説明する。

## 【0 0 2 9】

まず、上記分配装置 1 0 4 では、上記フレーム番号管理装置 1 0 6 によって示されるフレーム番号が、 $(3 \times t + i)$  であった場合 ( $t, i$  は整数、 $t \geq 0$ 、 $3 > i \geq 0$ )、 $(i + 1)$  番目のサブ信号処理装置に当該フレーム信号を送出する。

## 【0 0 3 0】

即ち、

0 番目のフレーム信号は、上記第 1 のサブ信号処理装置 1 0 1 に送出され、  
 1 番目のフレーム信号は、上記第 2 のサブ信号処理装置 1 0 2 に送出され、  
 2 番目のフレーム信号は、上記第 3 のサブ信号処理装置 1 0 3 に送出され、  
 3 番目のフレーム信号は、上記第 1 のサブ信号処理装置 1 0 1 に送出され、  
 4 番目のフレーム信号は、上記第 2 のサブ信号処理装置 1 0 2 に送出され、  
 5 番目のフレーム信号は、上記第 3 のサブ信号処理装置 1 0 3 に送出される、  
 と言うように、順次各フレーム信号は所定のサブ信号処理装置に分配される。

## 【0 0 3 1】

上記サブ信号処理装置 1 0 1 ~ 1 0 3 では、この様にして分配されたフレーム信号に対し、 $3 \times T$  時間以内に、上記処理 A を実行する。

## 【0 0 3 2】

次に、選択装置 1 0 5 では、上記処理 A が施された信号を、上記サブ信号処理



装置 101~103 のいずれかから入力し、当該処理 A 済みの信号を、上記メイン信号処理装置 100 に送出する。ここでは、上記フレーム番号管理装置 106 によって示されるフレーム番号が、 $(3 \times t + i)$  であった場合 ( $t, i$  は整数、 $t \geq 0, 3 > i \geq 0$ )、 $(i + 1)$  番目のサブ信号処理装置から出力される信号を上記メイン信号処理装置 100 に送出する。ここで上記メイン信号処理装置 100 が受け取る信号は、 $(3 \times (t - 1) + i)$  番目のフレーム時刻に第  $(i + 1)$  番目のサブ信号処理装置に入力された信号に対して、処理 A が施された信号となる。

#### 【0033】

上記メイン信号処理装置 100 では、当該受け取った処理 A 済みの信号に対し、T 時間以内に、上記処理 B を実行する。

#### 【0034】

図 2 は、上記信号処理の流れを時間を追って示した図である。第 0 番目のフレーム時刻では、第 0 番目のフレーム信号が上記第 1 のサブ信号処理装置 101 に入力され、当該信号に対し処理 A が開始され、 $3 \times T$  時間以内に当該処理が完了する。

#### 【0035】

第 1 番目のフレーム時刻では、第 1 番目のフレーム信号が上記第 2 のサブ信号処理装置 102 に入力され、当該信号に対し処理 A が開始され、 $3 \times T$  時間以内に当該処理が完了する。

#### 【0036】

第 2 番目のフレーム時刻では、第 2 番目のフレーム信号が上記第 3 のサブ信号処理装置 103 に入力され、当該信号に対し処理 A が開始され、 $3 \times T$  時間以内に当該処理が完了する。

#### 【0037】

第 3 番目のフレーム時刻では、第 3 番目のフレーム信号が上記第 1 のサブ信号処理装置 101 に入力され、当該信号に対し処理 A が開始されるが、同時に上記メイン信号処理装置 100 では、上記第 1 のサブ信号処理装置 101 からの出力信号に対し、処理 B が開始され、T 時間以内に当該処理が完了する。



## 【 0 0 3 8 】

この様な処理をフレーム時刻毎に逐次繰り返すことによって、T時間間隔で入力されるフレーム信号に対し、処理A、処理Bからなる信号処理が施され、T時間間隔ごとに出力のフレーム信号が生成される。この時、図2からも明らかなように、メイン信号処理装置100、サブ信号処理装置101～103とも、無駄時間なく処理を並列化することができる。

## 【 0 0 3 9 】

ここで注意しなくてはならないことは、処理Aに関しては、過去のフレーム時刻の処理が完了しない内に次のフレーム時刻の処理を開始しなくてはならないので、当該処理Aの中には、過去のフレーム時刻に生成された情報を用いる処理が含まれていてはならない、ということである。逆に処理Bに関しては、必ず過去のフレーム時刻の処理が完了してから次のフレーム時刻の処理を開始するので、当該処理Bの中には、過去のフレーム時刻に生成された情報を用いる処理が含まれていてもよいということになる。

## 【 0 0 4 0 】

例えば、オーディオ信号の復号処理で言えば、処理Aは、入力の符号化ビットストリームから、各フレームごとに符号化情報をアンパッキングするような処理（例えばハフマンデコード等）や、当該情報を逆量子化するような処理によって構成されていると都合がよい。また、処理Bは、該逆量子化された信号に対し逆MDCT処理のような、過去のフレーム時刻に生成された信号とオーバーラップさせるような処理が含まれていても不都合がないということになる。

## 【 0 0 4 1 】

以上のように本実施の形態では、処理A、処理Bからなる処理を並列処理する場合、処理A、処理Bの処理量に偏りがあっても、効率的に並列処理を行うことができることとなる。

## 【 0 0 4 2 】

また、上記処理Aに、過去のフレーム時刻に生成された情報を用いる処理が含まれない様にするによって、各サブ信号処理装置間で信号の受け渡しをする必要がなくなるので、効率的に並列化を行うことができることになる。



## 【 0 0 4 3 】

本実施の形態では、処理 A の処理量は処理 B の処理量の 3 倍であるという設定であったので、サブ信号処理装置は、3 個設けたが、処理 A の処理量が処理 B の処理量の N 倍である場合は、サブ信号処理装置を、N 個設ければ効率的な並列処理が行える。

## 【 0 0 4 4 】

また逆に、全体の処理を処理 A、処理 B に分割するときに、処理 A の処理量が処理 B の処理量の 2 倍になるように分割すれば、サブ信号処理装置は 2 個で済むこととなる。

## 【 0 0 4 5 】

## (実施の形態 2)

本実施の形態では、T 時間間隔ごとにフレーム化された入力フレーム信号に対して、処理 A を施した後に処理 B を施すことによって、出力のフレーム信号を生成するような信号処理装置について説明する。ここで、処理 A の処理量は処理 B の処理量の 2 倍であるという設定で説明する。

## 【 0 0 4 6 】

図 3 は、本発明の信号処理装置の構成を示す。信号処理装置は、第 1 から第 2 の 2 個のサブ信号処理装置 3 0 1 ~ 3 0 2 と、1 個のメイン信号処理装置 3 0 0 と、入力フレーム信号を逐次蓄積する第 1 のメモリ 3 0 3 と、出力のフレーム信号を逐次蓄積する第 2 のメモリ 3 0 4 とを備えている。ここで、上記サブ信号処理装置は、上記処理 A を  $(2 \times T)$  時間以内に処理する能力を有しており、上記メイン信号処理装置は、上記処理 B を T 時間以内に処理する能力を有しているものとする。

## 【 0 0 4 7 】

図 4 は、信号処理装置の処理の流れを時間を追って示した図である。以下、図 3、図 4 を用いて信号処理装置の動作を説明する。

## 【 0 0 4 8 】

まず、上記メイン信号処理装置 3 0 0 では、偶数番目のフレーム時刻では、上記第 1 のメモリから当該フレーム時刻の入力フレーム信号を取りだし、当該フ



レーム信号を上記第1のサブ信号処理装置 3 0 1 に送出し、かつ、上記第 1 のサブ信号処理装置 3 0 1 からの出力信号を受けとり、当該信号に対し処理 B を施す。また、奇数番目のフレーム時刻では、上記第 1 のメモリから当該フレーム時刻の入力のフレーム信号をとりだし、当該フレーム信号を上記第 2 のサブ信号処理装置 3 0 2 に送出し、かつ、上記第 2 のサブ信号処理装置 3 0 2 からの出力信号を受けとり、当該信号に対し処理 B を施す。このとき、該メイン信号処理装置 3 0 0 がサブ信号処理装置 3 0 1 あるいは 3 0 2 から受け取る信号は、2 フレーム時刻前に当該サブ信号処理装置に入力されたフレーム信号に対して当該サブ信号処理装置が上記処理 A を施した信号である。また、上記メイン信号処理装置は、この処理 B を T 時間以内に完了し、出力のフレーム信号を上記第 2 のメモリに蓄積する。

## 【 0 0 4 9 】

一方、上記サブ信号処理装置では、この様にして転送された入力のフレーム信号に対し、上記処理 A を実行する。ここで、上記サブ信号処理装置はこの処理 A を  $(2 \times T)$  時間以内に完了する。

## 【 0 0 5 0 】

図 4 は、上記信号処理の流れを時間を追って示した図である。

## 【 0 0 5 1 】

偶数番目のフレーム時刻では、当該時刻のフレーム信号が上記メイン信号処理装置 3 0 0 を経由して、上記第 1 のサブ信号処理装置 3 0 1 に入力され、当該信号に対し処理 A が開始され、 $2 \times T$  時間以内に当該処理が完了する。一方これに並列に、上記メイン信号処理装置 3 0 0 では、上記第 1 のサブ信号処理装置 3 0 1 から受けとった信号に対し、処理 B が開始され、T 時間以内に当該処理が完了する。当該処理 B 済みの信号は、上記第 2 のメモリ 3 0 4 に送出される。

## 【 0 0 5 2 】

奇数番目のフレーム時刻では、当該時刻のフレーム信号が上記メイン信号処理装置 3 0 0 を経由して、上記第 2 のサブ信号処理装置 3 0 2 に入力され、当該信号に対し処理 A が開始され、 $2 \times T$  時間以内に当該処理が完了する。一方これに並列に、上記メイン信号処理装置 3 0 0 では、上記第 2 のサブ信号処理装置 3 0



2から受けとった信号に対し、処理Bが開始され、T時間以内に当該処理が完了する。当該処理B済みの信号は、上記第2のメモリ304に送出される。

【0053】

ここで、該メイン信号処理装置300がサブ信号処理装置301あるいは302から受け取る信号は、2フレーム時刻前に当該サブ信号処理装置に入力されたフレーム信号に対して当該サブ信号処理装置が上記処理Aを施した信号である。

【0054】

この様な処理をフレーム時刻毎に逐次繰り返すことによって、T時間間隔で入力されるフレーム信号に対し、処理A、処理Bからなる信号処理が施され、T時間間隔ごとに出力のフレーム信号が生成される。この時、図4からも明らかなように、メイン信号処理装置300、サブ信号処理装置301～302とも、無駄な時間なく処理を並列化することができる。

【0055】

ここで注意しなくてはならないことは、実施の形態1でも述べた様に、処理Aに関しては、過去のフレーム時刻の処理が完了しない内に次のフレーム時刻の処理を開始しなくてはならないので、当該処理Aの中には、過去のフレーム時刻に生成された情報を用いる処理が含まれていてはならない、ということである。逆に処理Bに関しては、必ず過去のフレーム時刻の処理が完了してから次のフレーム時刻の処理を開始するので、当該処理Bの中には、過去のフレーム時刻に生成された情報を用いる処理が含まれていてもよいということになる。

【0056】

以上のように本実施の形態では、処理A、処理Bからなる処理を並列処理する場合、処理A、処理Bの処理量に偏りがあっても、効率的に並列処理を行うことができることとなる。

【0057】

また、上記処理Aに、過去のフレーム時刻に生成された情報を用いる処理が含まれない様にするによって、各サブ信号処理装置間で信号の受け渡しをする必要がなくなるので、効率的に並列化を行うことができることになる。

【0058】



また、入力フレーム信号の読みだしの処理、及び、出力フレーム信号の書き込みの処理を、上記メイン信号処理装置が行うので、入出力信号の制御が簡素化できることとなる。

#### 【0059】

##### （実施の形態3）

本実施の形態では、T時間間隔ごとにフレーム化された入力フレーム信号に対して、処理Aを施した後に処理Bを施すことによって、出力フレーム信号を生成するような信号処理装置について説明する。ここで、処理Bの処理量は処理Aの処理量の3倍であるという設定で説明する。

#### 【0060】

図5は、本発明の信号処理装置の構成を示す。信号処理装置は、第1から第3の3個のサブ信号処理装置501～503と、1個のメイン信号処理装置500と、上記メイン信号処理装置500からの出力信号をフレーム番号に応じて、上記サブ信号処理装置501～503のいずれかに分配する分配装置504と、上記サブ信号処理装置501～503のいずれかの出力信号を上記フレーム番号に応じて選択し出力する選択装置505と、1フレーム時刻T経過する毎に上記フレーム番号を更新するフレーム番号管理装置506とを備えている。ここで、上記サブ信号処理装置501～503はそれぞれ、上記処理Bを $(3 \times T)$ 時間以内に処理する能力を有しており、上記メイン信号処理装置500は、上記処理AをT時間以内に処理する能力を有しているものとする。

#### 【0061】

図6は、信号処理装置の処理の流れを時間を追って示した図である。以下、図5、図6を用いて信号処理装置の動作を説明する。

#### 【0062】

まず、上記メイン信号処理装置500で、入力フレーム信号に対し、T時間以内に、上記処理Aを実行する。

#### 【0063】

次に、上記分配装置504では、上記フレーム番号管理装置506によって示されるフレーム番号が、 $(3 \times t + i)$ であった場合（ $t$ 、 $i$ は整数、 $t \geq 0$ 、



$3 > i \geq 0$ ）、 $(i+1)$  番目のサブ信号処理装置に上記メイン信号処理装置 500 からの出力信号を送出する。

【0064】

即ち、

フレーム番号が 0 の時は、上記第 1 のサブ信号処理装置 501 に送出され、  
 フレーム番号が 1 の時は、上記第 2 のサブ信号処理装置 502 に送出され、  
 フレーム番号が 2 の時は、上記第 3 のサブ信号処理装置 503 に送出され、  
 フレーム番号が 3 の時は、上記第 1 のサブ信号処理装置 501 に送出され、  
 フレーム番号が 4 の時は、上記第 2 のサブ信号処理装置 502 に送出され、  
 フレーム番号が 5 の時は、上記第 3 のサブ信号処理装置 503 に送出される、  
 と言うように、順次上記メイン信号処理装置 500 からの出力信号は所定のサブ信号処理装置に分配される。

【0065】

上記サブ信号処理装置 501～503 では、この様にして分配された処理 A 済み信号に対し、 $3 \times T$  時間以内に、上記処理 B を実行する。

【0066】

次に、選択装置 505 では、上記処理 A、処理 B が施された信号を、上記サブ信号処理装置 501～503 のいずれかから入力し、当該処理済みの信号を出力する。ここでは、上記フレーム番号管理装置 506 によって示されるフレーム番号が、 $(3 \times t + i)$  であった場合 ( $t$ ,  $i$  は整数、 $t \geq 0$ 、 $3 > i \geq 0$ )、 $(i+1)$  番目のサブ信号処理装置から出力される信号を出力する。ここで出力される信号は、 $(3 \times (t-1) + i)$  番目のフレーム時刻に第  $(i+1)$  番目のサブ信号処理装置に入力された信号に対して、処理 B が施された信号となる。

【0067】

図 6 は、上記信号処理の流れを時間を追って示した図である。第 0 番目のフレーム時刻では、第 0 番目のフレーム信号が上記メイン信号処理装置 500 に入力され、当該信号に対し処理 A が開始され、 $T$  時間以内に当該処理が完了する。

【0068】

第 1 番目のフレーム時刻では、第 1 番目のフレーム信号が上記メイン信号処理



装置 5 0 0 に入力され、当該信号に対し処理 A が開始されるが、同時に上記第 1 のサブ信号処理装置 5 0 1 では、上記メイン信号処理装置 5 0 0 からの出力信号（第 0 番目のフレーム信号に対する処理 A 済み信号）に対し、処理 B が開始され、 $(3 \times T)$  時間以内に当該処理が完了する。勿論処理 A については、 $T$  時間以内に当該処理が完了する。

## 【 0 0 6 9 】

第 2 番目のフレーム時刻では、第 2 番目のフレーム信号が上記メイン信号処理装置 5 0 0 に入力され、当該信号に対し処理 A が開始されるが、同時に上記第 2 のサブ信号処理装置 5 0 2 では、上記メイン信号処理装置 5 0 0 からの出力信号（第 1 番目のフレーム信号に対する処理 A 済み信号）に対し、処理 B が開始され、 $(3 \times T)$  時間以内に当該処理が完了する。勿論処理 A については、 $T$  時間以内に当該処理が完了する。

## 【 0 0 7 0 】

第 3 番目のフレーム時刻では、第 3 番目のフレーム信号が上記メイン信号処理装置 5 0 0 に入力され、当該信号に対し処理 A が開始されるが、同時に上記第 3 のサブ信号処理装置 5 0 3 では、上記メイン信号処理装置 5 0 0 からの出力信号（第 2 番目のフレーム信号に対する処理 A 済み信号）に対し、処理 B が開始され、 $(3 \times T)$  時間以内に当該処理が完了する。勿論処理 A については、 $T$  時間以内に当該処理が完了する。

## 【 0 0 7 1 】

第 4 番目のフレーム時刻では、第 4 番目のフレーム信号が上記メイン信号処理装置 5 0 0 に入力され、当該信号に対し処理 A が開始されるが、同時に上記第 1 のサブ信号処理装置 5 0 1 では、上記メイン信号処理装置 5 0 0 からの出力信号（第 3 番目のフレーム信号に対する処理 A 済み信号）に対し、処理 B が開始され、 $(3 \times T)$  時間以内に当該処理が完了する。勿論処理 A については、 $T$  時間以内に当該処理が完了する。

## 【 0 0 7 2 】

このような処理をフレーム時刻毎に逐次繰り返すことによって、 $T$  時間間隔で入力されるフレーム信号に対し、処理 A、処理 B からなる信号処理が施され、 $T$  時



間隔ごとに出力のフレーム信号が生成される。この時、図 6 から明らかなように、メイン信号処理装置 5 0 0、サブ信号処理装置 5 0 1 ~ 5 0 3 とともに、無駄な時間なく処理を並列化することができる。

【 0 0 7 3 】

ここで注意しなくてはならないことは、処理 B に関しては、過去のフレーム時刻の処理が完了しない内に次のフレーム時刻の処理を開始しなくてはならないので、当該処理 B の中には、過去のフレーム時刻に生成された情報を用いる処理が含まれていてはならない、ということである。逆に処理 A に関しては、必ず過去のフレーム時刻の処理が完了してから次のフレーム時刻の処理を開始するので、当該処理 A の中には、過去のフレーム時刻に生成された情報を用いる処理が含まれていてもよいということになる。

【 0 0 7 4 】

例えば、オーディオ信号の圧縮処理で言えば、処理 A は、入力フレーム化された PCM 信号を過去の PCM 信号とオーバーラップしながら周波数スペクトル信号に変換する様な処理（例えば MDCT 処理）であっても不都合はないが、処理 B は、当該周波数スペクトル信号を量子化、ハフマン符号化するような処理、即ち、過去のフレーム処理時に生成されたデータを用いずに現在のフレームの信号が処理できる様な処理であることが望ましい。

【 0 0 7 5 】

以上のように本実施の形態では、処理 A、処理 B からなる処理を並列処理する場合、処理 A、処理 B の処理量に偏りがあっても、効率的に並列処理を行うことができることとなる。

【 0 0 7 6 】

また、上記処理 B に、過去のフレーム時刻に生成された情報を用いる処理が含まれない様にすることによって、各サブ信号処理装置間で信号の受け渡しをする必要がなくなるので、効率的に並列化を行うことができることになる。

【 0 0 7 7 】

本実施の形態では、処理 B の処理量は処理 A の処理量の 3 倍であるという設定であったので、サブ信号処理装置は、3 個設けたが、処理 B の処理量が処理 A の



処理量の $N$  ( $N$ は自然数) 倍である場合は、サブ信号処理装置は、 $N$ 個設ければ効率的な並列処理が行える。

【0078】

また逆に、全体の処理を処理A、処理Bに分割するときに、処理Bの処理量が処理Aの処理量の2倍になるように分割すれば、サブ信号処理装置は2個で済むこととなる。

【0079】

(実施の形態4)

本実施の形態では、 $T$ 時間間隔ごとにフレーム化された入力フレーム信号に対して、処理Aを施した後に処理Bを施すことによって、出力のフレーム信号を生成するような信号処理装置について説明する。ここで、処理Bの処理量は処理Aの処理量の2倍であるという設定で説明する。

【0080】

図7は、本発明の信号処理装置の構成を示す。信号処理装置は、第1から第2の2個のサブ信号処理装置701～702と、1個のメイン信号処理装置700と、入力フレーム信号を逐次蓄積する第1のメモリ703と、出力のフレーム信号を逐次蓄積する第2のメモリ704とを備えている。ここで、上記サブ信号処理装置は、上記処理Bを $(2 \times T)$ 時間以内に処理する能力を有しており、上記メイン信号処理装置は、上記処理Aを $T$ 時間以内に処理する能力を有しているものとする。

【0081】

図8は、信号処理装置の処理の流れを時間を追って示した図である。以下、図7、図8を用いて信号処理装置の動作を説明する。

【0082】

まず、上記メイン信号処理装置700では、上記第1のメモリから当該フレーム時刻の入力フレーム信号を取りだし、当該フレーム信号に対し、処理Aを施し、偶数番目のフレーム時刻では、該処理A済みの信号を上記第1のサブ信号処理装置701に送出し、かつ、上記第1のサブ信号処理装置701からの出力信号を受けとり、上記第2のメモリに該上記第1のサブ信号処理装置701からの



出力信号を蓄積する。また、奇数番目の時刻では、該処理 A 済みの信号を上記第 2 のサブ信号処理装置 7 0 2 に送出し、かつ、上記第 2 のサブ信号処理装置 7 0 2 からの出力信号を受けとり、上記第 2 のメモリに上記第 2 のサブ信号処理装置 7 0 2 からの出力信号を蓄積する。このとき、該メイン信号処理装置 7 0 0 がサブ信号処理装置 7 0 1 あるいは 7 0 2 から受け取る信号は、2 フレーム時刻前に当該サブ信号処理装置に入力されたフレーム信号に対して当該サブ信号処理装置が上記処理 B を施した信号である。ここで上記メイン信号処理装置 7 0 0 はこの処理 A を T 時間以内に完了する。

## 【0083】

一方、上記サブ信号処理装置では、この様にして転送された入力フレーム信号に対し、上記処理 B を実行する。ここで、上記サブ信号処理装置はこの処理 B を  $(2 \times T)$  時間以内に完了する。

## 【0084】

図 8 は、上記信号処理の流れを時間を追って示した図である。

## 【0085】

偶数番目のフレーム時刻では、当該時刻のフレーム信号が上記第 1 のメモリ 7 0 3 から上記メイン信号処理装置 7 0 0 に入力され、当該信号に対し処理 A が開始され、T 時間以内に当該処理が完了する。当該処理 A 済みの信号は、上記第 1 のサブ信号処理装置 7 0 1 に送出される。一方これに並列に、上記第 2 のサブ信号処理装置 7 0 2 では、1 フレーム時刻前の処理 A 済み信号に対して、処理 B が開始され、 $2 \times T$  時間以内に当該処理が完了する。当該処理 B 済みの信号は、上記メイン信号処理装置 7 0 0 を経由して、上記第 2 のメモリに送出される。

## 【0086】

奇数番目のフレーム時刻では、当該時刻のフレーム信号が上記第 1 のメモリ 7 0 3 から上記メイン信号処理装置に入力され、当該信号に対し処理 A が開始され、T 時間以内に当該処理が完了する。当該処理 A 済みの信号は、上記第 2 のサブ信号処理装置 7 0 2 に送出される。一方これに並列に、上記第 1 のサブ信号処理装置 7 0 1 では、1 フレーム時刻前の処理 A 済み信号に対して、処理 B が開始され、 $2 \times T$  時間以内に当該処理が完了する。当該処理 B 済みの信号は、上記メ



ン信号処理装置 7 0 0 を経由して、上記第 2 のメモリに送出される。

【 0 0 8 7 】

このとき、該メイン信号処理装置 7 0 0 がサブ信号処理装置 7 0 1 あるいは 7 0 2 から受け取る信号は、2 フレーム時刻前に当該サブ信号処理装置に入力されたフレーム信号に対して当該サブ信号処理装置が上記処理 B を施した信号である。

【 0 0 8 8 】

このような処理をフレーム時刻毎に逐次繰り返すことによって、T 時間間隔で入力されるフレーム信号に対し、処理 A、処理 B からなる信号処理が施され、T 時間間隔ごとに出力のフレーム信号が生成される。この時、図 8 から明らかなように、メイン信号処理装置 7 0 0、サブ信号処理装置 7 0 1 ~ 7 0 2 とともに、無駄な時間なく処理を並列化することができる。

【 0 0 8 9 】

ここで注意しなくてはならないことは、実施の形態 3 でも述べた様に、処理 B に関しては、過去のフレーム時刻の処理が完了しない内に次のフレーム時刻の処理を開始しなくてはならないので、当該処理 B の中には、過去のフレーム時刻に生成された情報を用いる処理が含まれていてはならない、ということである。逆に処理 A に関しては、必ず過去のフレーム時刻の処理が完了してから次のフレーム時刻の処理を開始するので、当該処理 A の中には、過去のフレーム時刻に生成された情報を用いる処理が含まれていてもよいということになる。

【 0 0 9 0 】

以上のように本実施の形態では、処理 A、処理 B からなる処理を並列処理する場合、処理 A、処理 B の処理量に偏りがあっても、効率的に並列処理を行うことができることとなる。

【 0 0 9 1 】

また、上記処理 B に、過去のフレーム時刻に生成された情報を用いる処理が含まれない様にするによって、各サブ信号処理装置間で信号の受け渡しをする必要がなくなるので、効率的に並列化を行うことができることになる。

【 0 0 9 2 】



また、入力フレーム信号の読みだしの処理、及び、出力フレーム信号の書き込みの処理を、上記メイン信号処理装置が行うので、入出力信号の制御が簡素化できることとなる。

#### 【0093】

本発明の実施の形態では、サブ信号処理装置の動作は、命令メモリに格納されたプログラムによって規定され、かつ、同一のプログラムによって動作する事をことを前提としている。つまり、上記複数のサブ信号処理装置は、全く同様の動作を行う信号処理装置ということになる。そのため、当該サブ信号処理装置で行う処理で必要となるRAMは、メイン信号処理装置で行う処理で必要となるRAMはより小さいことが望ましい。そうでなければ、サブ信号処理装置を複数持つことによって、回路規模が大幅に増加してしまうからである。

#### 【0094】

##### 【発明の効果】

以上のように、本発明によれば、処理A、処理Bからなる処理を並列処理する場合、処理A、処理Bの処理量に偏りがあっても、効率的に並列処理を行うことができることとなる。

#### 【0095】

また、過去のフレーム時刻に生成された情報を用いる処理が含まれる処理は並列処理は行わず、過去のフレーム時刻に生成された情報を用いる処理が含まれない処理は並列処理を行う様にすることによって、各サブ信号処理装置間で信号の受け渡しをする必要がなくなるので、効率的に並列化を行うことができることになる。

#### 【0096】

また、入力フレーム信号の読みだしの処理、及び、出力フレーム信号の書き込みの処理を、上記メイン信号処理装置が行うので、入出力信号の制御が簡素化できることとなる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の実施の形態1の信号処理装置の構成を示す図



【図 2】

本発明の実施の形態 1 の信号処理の流れを時間を追って示した図

【図 3】

本発明の実施の形態 2 の信号処理装置の構成を示す図

【図 4】

本発明の実施の形態 2 の信号処理の流れを時間を追って示した図

【図 5】

本発明の実施の形態 3 の信号処理装置の構成を示す図

【図 6】

本発明の実施の形態 3 の信号処理の流れを時間を追って示した図

【図 7】

本発明の実施の形態 4 の信号処理装置の構成を示す図

【図 8】

本発明の実施の形態 4 の信号処理の流れを時間を追って示した図

【図 9】

並列処理を行わない信号処理の流れを示した図

【図 10】

従来技術で並列処理を行った場合の信号処理の流れを示した図

【図 11】

従来技術で並列処理を行った場合の課題を示した図

【符号の説明】

100, 300, 500, 700   メイン信号処理装置

101, 301, 501, 701   第1のサブ信号処理装置

102, 302, 502, 702   第2のサブ信号処理装置

103, 503   第3のサブ信号処理装置

104, 504   分配装置

105, 505   選択装置

106, 506   フレーム番号管理装置

303, 703   第1のメモリ



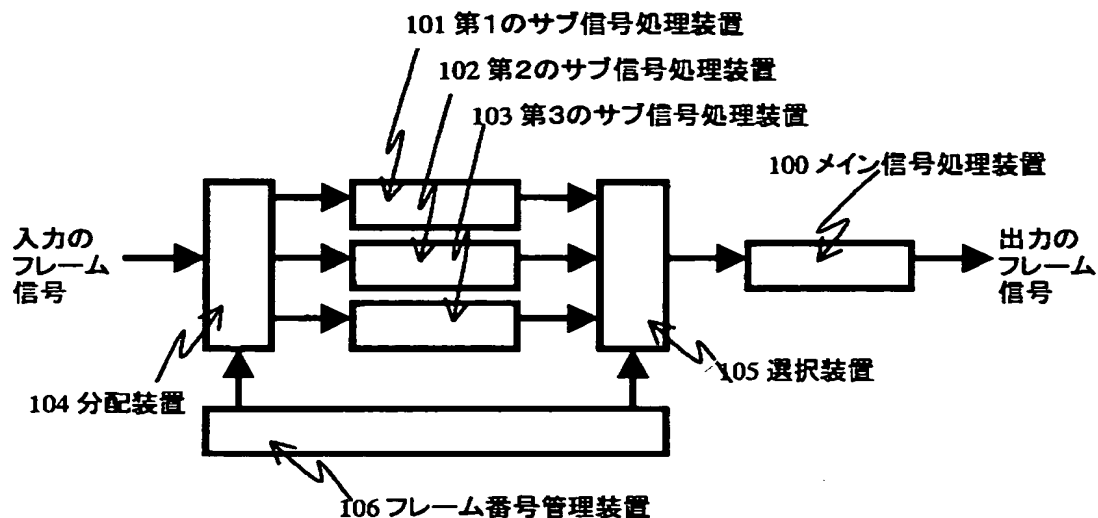
特平 1 1 - 3 6 7 1 6 8

3 0 4 , 7 0 4 第 2 の メ モ リ

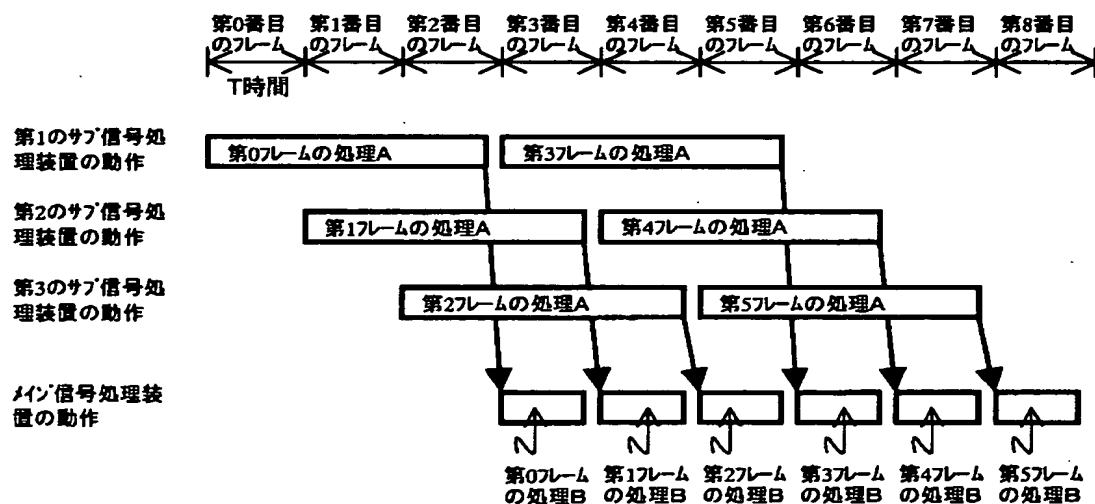


【書類名】 図面

【図 1】

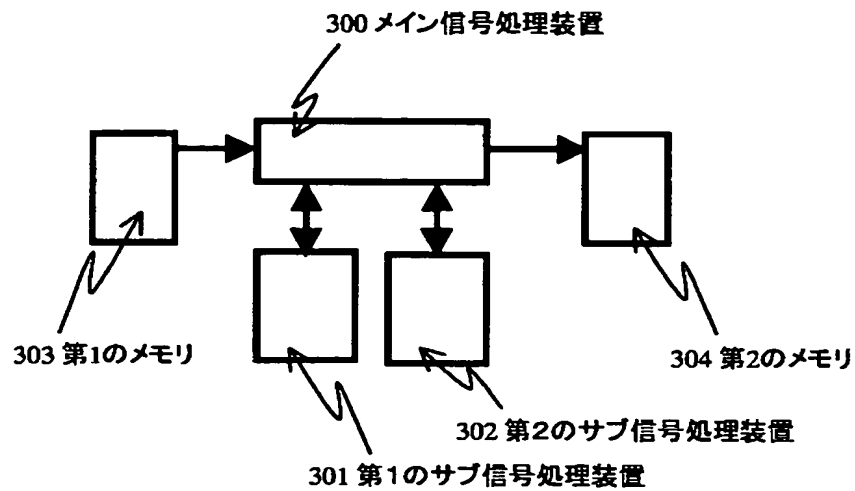


【図 2】

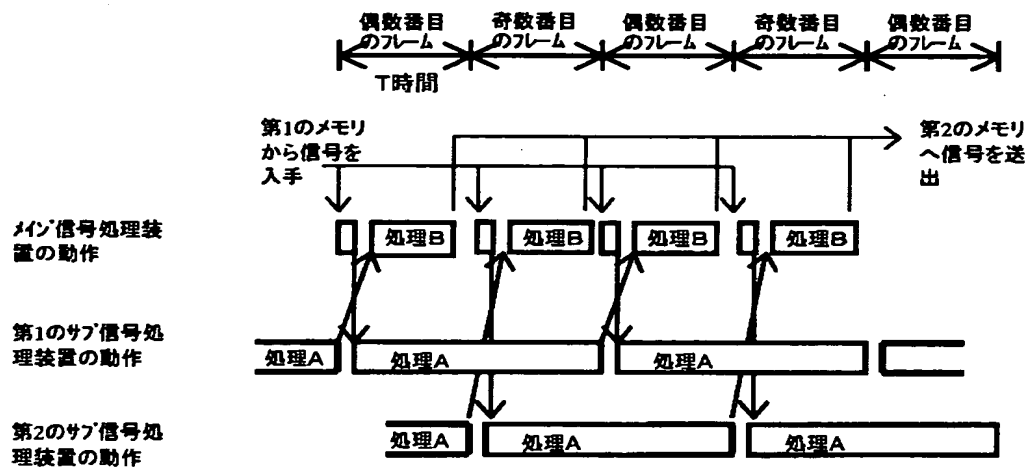




【図 3】

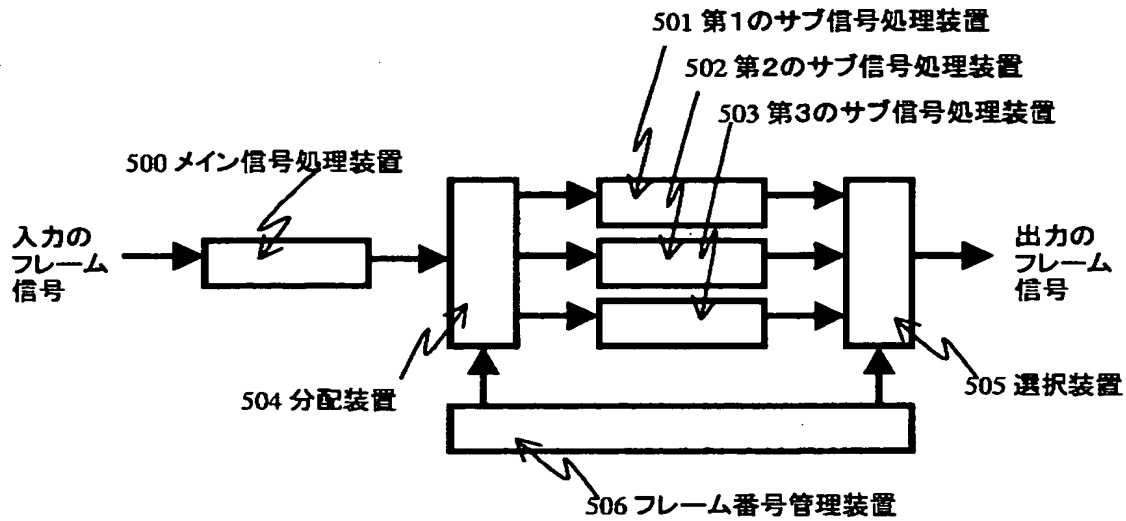


【図 4】

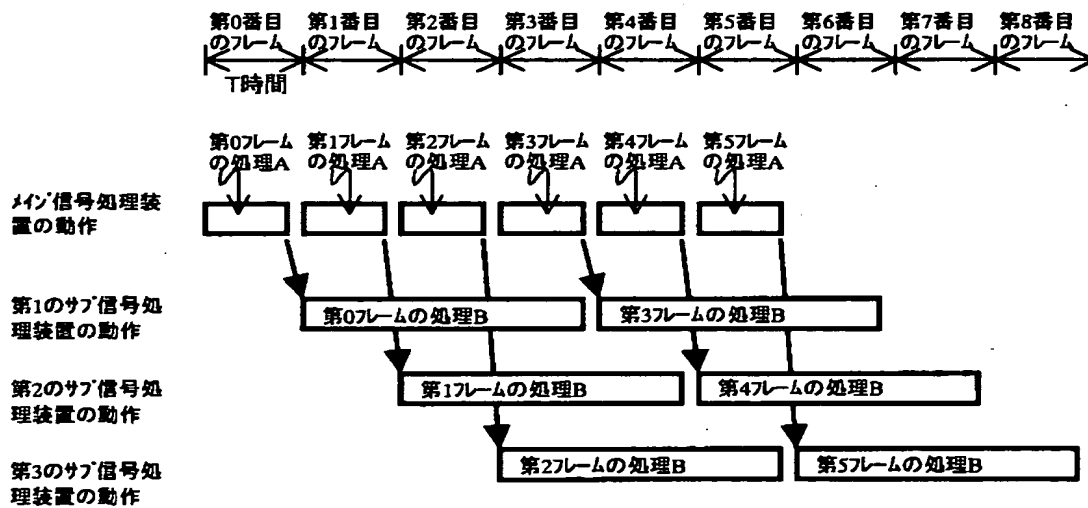




【図 5】

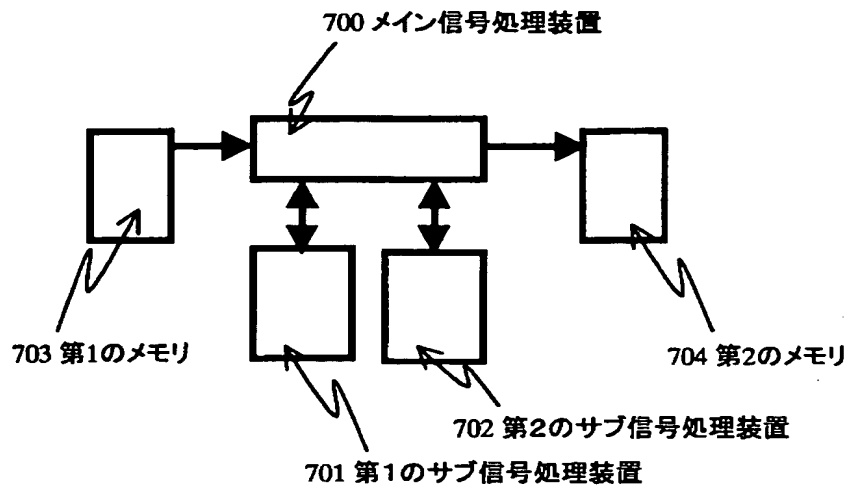


【図 6】

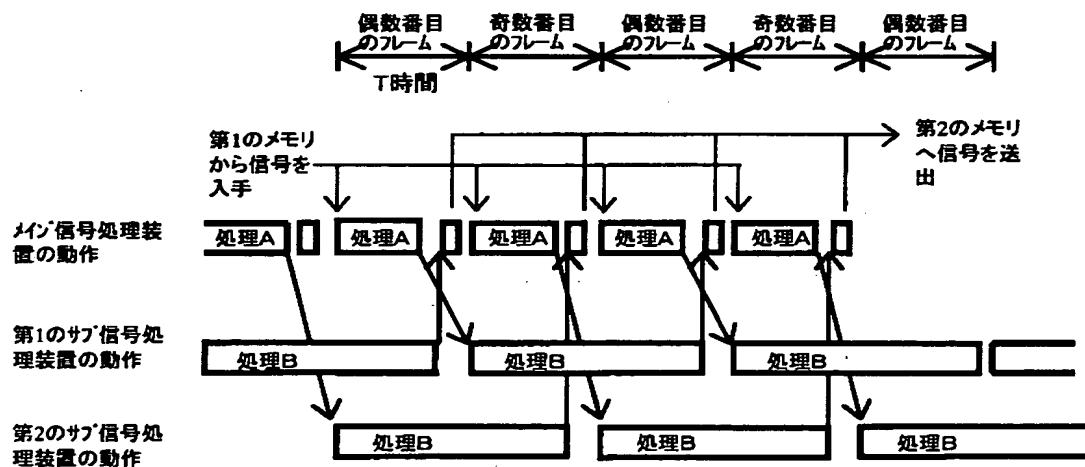




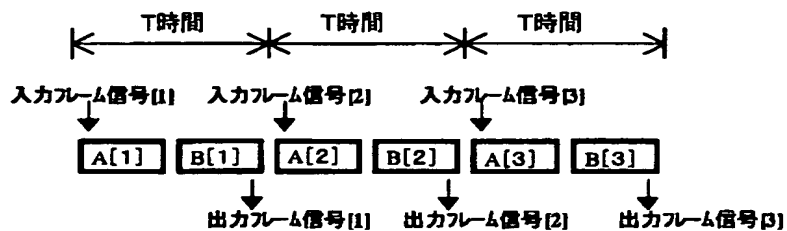
【図 7】



【図 8】

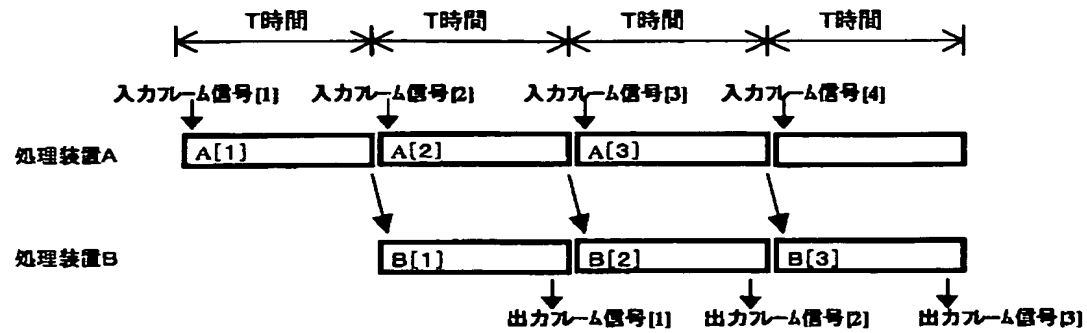


【図 9】

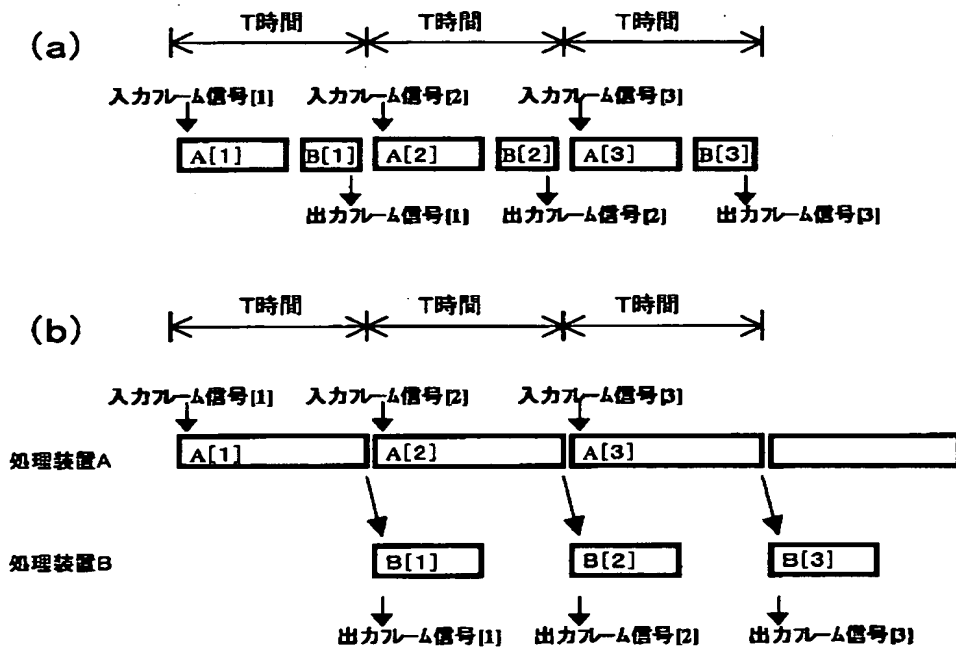




【図 1 0】



【図 1 1】





【書類名】 要約書

【要約】

【課題】 処理量に偏りがある 2 つの処理を、効率的に並列処理する。

【解決手段】  $(N \times T)$  時間以内に処理 A を完了する能力を有する第 1 ～第  $N$  のサブ信号処理装置と、 $T$  時間以内に処理 B を完了する能力を有するメイン信号処理装置とを有し、第 1 のデジタル信号の第  $(N \times t + i)$  番目のフレーム信号  $(0 \leq t : 0 \leq i < N)$  は、第  $(i + 1)$  のサブ信号処理装置で処理された後、メイン信号処理装置で処理されるように構成する。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[ 変更理由 ]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社